

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-161764**  
 (43)Date of publication of application : **22.07.1986**

(51)Int.Cl. **H01L 29/78**  
**G02F 1/133**  
**G09F 9/35**  
**H01L 27/12**

(21)Application number : **60-002756** (71)Applicant : **NEC CORP**

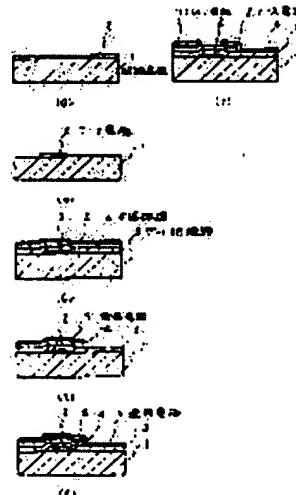
(22)Date of filing : **11.01.1985** (72)Inventor : **ICHIKAWA YOSHIHARU**

## (54) MANUFACTURE OF THIN FILM TRANSISTOR

### (57)Abstract:

**PURPOSE:** To reduce the number of manufacturing processes and to improve the yield rate, by forming a semiconductor layer and a metal thin film, and performing continuous patterning by the same mask.

**CONSTITUTION:** A gate electrode 2 is formed on an insulating substrate 1 and etched into a specified pattern. Thereafter, a gate insulating film 3, a semiconductor film 4 and a metal thin film 5 are formed thereon. The metal thin film 5 and the semiconductor film 4 are etched into a specified pattern. Then, a transparent electrode 6 is formed on the entire upper surface. At the same time, the metal thin film 5 on the semiconductor layer 4 as a channel is removed. A drain electrode 7 and a source electrode 8 are formed. Thus the number of manufacturing processes is decreased and the thin film transistor having a high yield rate can be manufactured.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭61-161764

⑫ Int.CI.\*

H 01 L 29/78  
G 02 F 1/133  
G 09 F 9/35  
H 01 L 27/12

識別記号

118

厅内整理番号

8422-5F  
8205-2H  
6615-5C  
7514-5F

⑬ 公開 昭和61年(1986)7月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭60-2756

⑯ 出 願 昭60(1985)1月11日

⑰ 発明者 市川 祥治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

1. 発明の名称 薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁体基板の上にゲート電極を所望パターンに形成する工程と、該ゲート電極を覆うようにゲート絶縁体層、半導体層、ドレイン及びソース電極となる金属薄膜を順次形成する工程と、チャンネルとなる半導体層を積り部分とドレイン及びソース電極となる部分を残して他の不要部分の金属薄膜および前記不要部分の金属薄膜下半導体層を同時に除去する工程と、透明導電膜を形成し該透明導電膜をバーニングし透明電極とすると同時にチャンネルとしての半導体層上の金属薄膜を除去し、ドレイン電極とソース電極を形成する工程を少なくとも含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置に用いられる薄膜トランジスタアレイの製造方法に関し、特に製造工程数が少なく歩留りの高い薄膜トランジスタアレイの製造方法に関する。

(従来技術とその問題点)

近年、オフィスオートメーションの進展に伴い、マンマシンインターフェイスとしての表示デバイス画素数の大容量化研究開発が活発に進められている。液晶ディスプレイにおいても液晶をスイッチングするための薄膜トランジスタアレイの開発が盛んである。

従来の液晶表示用薄膜トランジスタアレイの製造方法の1例として特願昭58-126725に示されたものが知られている。第2回(1)～(6)に、前記従来の薄膜トランジスタの製造方法を説明するために、その製造方法を工程順に表わした断面図を示す。

この製造方法は絶縁基板1上にゲート電極2を

形成し(第2図(a))、所定のパターンにエッチングする(第2図(b))。その後、その上にゲート絶縁膜3及び半導体膜4を形成し(第2図(c))、半導体膜を所定パターンにエッチングする(第2図(d))。その後、全上面にドレイン及びソース電極となる金属薄膜5を形成し(第2図(e))、チャンネルとなる半導体層4を覆う部分に金属薄膜5を残して不要部分をエッチングにより除去する(第2図(f))。その後全面<sup>上面</sup>に透明電極6を形成する(第2図(g))。そして最後にエッチングにより透明電極6を所望パターンにエッチングすると同時にチャンネルとしての半導体層4上の金属薄膜5を除去し、ドレイン電極7とソース電極8とを形成する(第2図(h))ことから構成される。

従来の製造方法では、ゲート電極のエッチング(第2図(b))、半導体膜のエッチング(第2図(d))、金属薄膜のエッチング(第2図(f))およびチャンネル上のITO、金属薄膜のエッチング(第2図(g))と4箇のフォトレジスト工程が必要である。薄膜トランジスタの製造においては、フォトレジ

スト工程を少なくすることが歩留りを良くするのに不可欠である。

#### (発明の目的)

本発明は、このような従来の欠点を除去し、製造工程数が少なく歩留りの高い薄膜トランジスタの製造方法を提供することにある。

#### (発明の構成)

本発明は、絶縁基板の上にゲート電極を所望パターンに形成する工程と、該ゲート電極を覆うようにゲート絶縁膜、半導体層、ドレイン及びソース電極となる金属薄膜を順次形成する工程と、チャンネルとなる半導体層を覆う部分とドレイン及びソース電極となる部分を残してその他の不要部分の金属薄膜および前記不要部分の金属薄膜以下の半導体層を除去する工程と、透明導電膜を形成し該透明導電膜をバーニングし透明電極とする同時にチャンネルとしての半導体層上の金属薄膜を除去し、ドレイン電極とソース電極を形成する工程を少なくとも含むことを特徴とする薄膜トランジスタの製造方法である。

#### (構成の詳細な説明)

本発明は、上述の構成をとることにより従来技術の問題点を解決した。本発明を薄膜トランジスタの製造工程順に示した断面図第1図(a)～(h)により説明する。この製造方法は絶縁基板1上にゲート電極2を形成し(第1図(a))、所定のパターンにエッチングする(第1図(b))。その後その上にゲート絶縁膜3、半導体膜4および金属薄膜5を形成し(第1図(c))、金属薄膜5および半導体膜4を所定パターンにエッチングする(第1図(d))。その後、全上面に透明電極6を形成する(第1図(e))。そして最後にエッチングにより透明電極6を所望パターンにエッチングすると同時にチャンネルとしての半導体層4上の金属薄膜5を除去し、ドレイン電極7とソース電極8とを形成する(第1図(f))ことから構成されている。したがって本発明の製造方法では、ゲート電極のエッチング(第1図(b))、金属薄膜および半導体膜のエッチング(第1図(d))およびチャンネル上のITO(第1図(e))と3箇の

フォトレジスト工程で薄膜トランジスタアレイが製造できる。

#### (実施例)

以下本発明の実施例について第1図(a)～(h)を参考して詳細に説明する。ガラス基板1にゲート電極用メタル2としてチタンを1000Å蒸着し(第1図(a))、フォトレジスト法により所定のパターンにエッチングした(第1図(b))。その後その上にゲート絶縁膜3として塗化シリコン膜2500Å半導体膜4としてアモルファスシリコン膜を3000ÅプラズマCVD法により連続形成し、続いてその上に金属薄膜5としてチタンを2000Å蒸着した(第1図(c))。フォトレジスト法によりチタンおよびアモルファスシリコン膜を所定パターンにドライエッチングした(第1図(d))。エッチングはCCl<sub>4</sub>を圧力が0.1 torrになるように流し放電電力400Wの条件で行なった。その後全上面に透明電極6としてITO膜を1000Åスパッタした(第1図(e))。そして最後にエッチングにより透明電極6を所望パターンにエッチングする

と同時にチャンネルとしての半導体層4上の金属薄膜5を除去し、ドレイン電極7とソース電極8とを形成した〔第1図(f)〕。比較のために第2図(a)～(h)に示す従来の製造方法により薄膜トランジスタを形成した。各導膜の堆積条件は、本発明の製造方法に用いたのと同一の条件、エッティングの条件もすべて同一とした。比較した薄膜トランジスタアレイの規模はゲートライン500本、ドレインライン500本で素子数は250,000個である。従来の製造方法により製造した薄膜トランジスタアレイではゲートラインには断線による線欠陥は見られなかったが、ドレインラインには6本程度以下の線欠陥があった。また薄膜トランジスタの特性不良による点欠陥は、200～300個あった。これに反し本発明の製造方法により製造した薄膜トランジスタアレイでは、線欠陥は見られずまた点欠陥も20個以下であった。

## (発明の効果)

本発明による薄膜トランジスタの製造方法を用いれば欠陥の少ない薄膜トランジスタアレイを製

造できる。これは、半導体層をエッティングしたあと金属薄膜を形成し、その後金属薄膜をバーニングするという従来方法を半導体層と金属薄膜を形成した後に連続して同一マスクでバーニングするようにしてフォトレジスト工程を1つ少なくしたことと、半導体層と金属薄膜とを連続して形成したため相互の接続に断差がなくなったためである。

以上詳細に述べた通り、本発明によれば製造工程数が少なく歩留りの高い薄膜トランジスタの製造方法を提供できる。

## 4 図面の簡単な説明

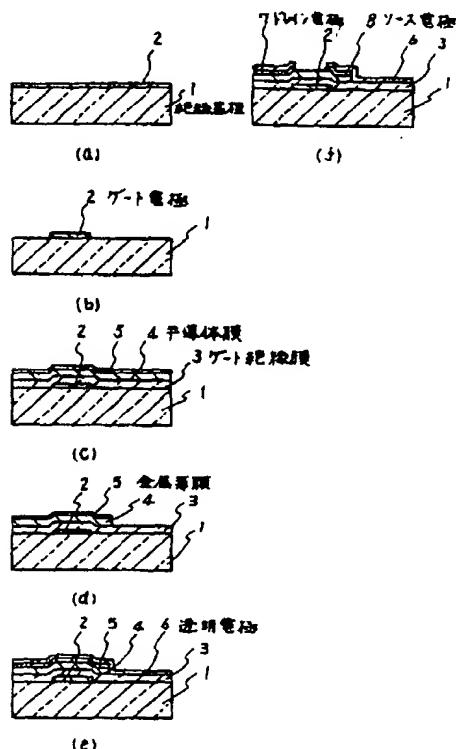
第1図(a)～(f)は本発明の薄膜トランジスタアレイの製造工程を示す断面図、第2図(a)～(h)は従来の薄膜トランジスタアレイの製造工程を示す断面図である。

図において、1—絶縁基板、2—ゲート電極、3—ゲート絶縁膜、4—半導体膜、5—ドレイン及びソース電極となる金属薄膜、6—透明電極、

7—ドレイン電極、8—ソース電極をそれぞれ示す。

代理人弁理士 内原 音

第1図



第2図

